

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000223713 A**

(43) Date of publication of application: **11.08.00**

(51) Int. Cl.

H01L 29/786

H01L 21/28

H01L 29/40

H01L 29/43

H01L 29/78

H01L 21/336

(21) Application number: **11025106**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(22) Date of filing: **02.02.99**

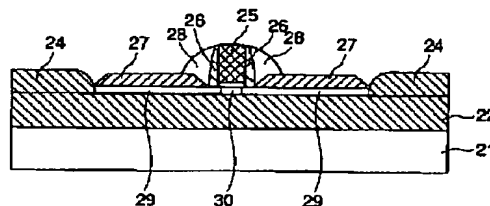
(72) Inventor: **MATSUHASHI HIDEAKI**

(54) **SEMICONDUCTOR ELEMENT AND ITS
MANUFACTURE**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the source-drain resistance to increase the driving force of a transistor by epitaxially growing a silicon film having a (1, 1, 1) facet face on the source and drain of a MOSFET.

SOLUTION: A SOI NMOSFET consists of a silicon substrate 21, a buried oxide film 22, a body 30, a field oxide film 24, a gate electrode 25, a thin SiO₂ side wall 26, a thick SiO₂ side wall 28, the source and drain 29, and silicon 27 epitaxially grown in source and drain regions. Compared with a case that a silicon film having no facet face is epitaxially grown vertically, the silicon 27 having a (1, 1, 1) facet face reduces a fringe capacity between the gate and the source-drain. Moreover, as the silicon film 27 starts to get thicker at a part closer to the gate than the vertically grown silicon film, the resistance of a slant region of the source and drain 29 near the gate can be reduced.



COPYRIGHT: (C)2000,JPO

特開2000-223713
(P2000-223713A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) IntCl.	識別記号	FI	キーワード (参考)
H01L 29/786		H01L 29/78	
21/28	301	616S	4M104
29/40		301T	5F040
29/43		A	5F110
29/78		T	
		301S	

審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に図 2

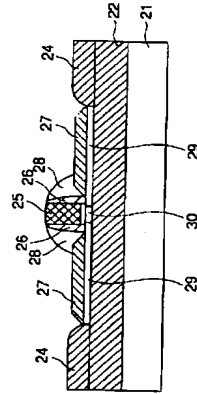
(21) 出願番号	特願平11-25106	(71) 出願人	000000295 神電工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成11年2月2日 (1999.2.2)	(72) 発明者	松橋 秀明 東京都港区虎ノ門1丁目7番12号 工業株式会社内
		(74) 代理人	100098093 弁理士 大西 健治

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【目的】 (1.1.1) ファセット面を持つエビシタシリコンを用いて微細ゲート長のSOI MOSFETにおいて、傾斜領域のソース・ドレイン抵抗を小さくし、トランジスタの駆動力をあげることを目的とする。

【構成】 SOI (Silicon on insulator) 基板上に形成されたMOSFETであって、MOSFETのソース及びドレイン上に(1.1.1) ファセット面を有する半導体層を、エビシタル成長させた。



最終頁に図 2

法に因するものである。

【0002】

【従来の技術】 文獻名 : Y. Nakahara, Symposium on VLSI Technology Dig. (1996) p.174 SOI MOSFETはその構造的特徴から高容量が小さいこと、ラッチアップフリーであること、ソフトエラー率が良いこと、素子分極が比較的に容易であること等の長所を有しており、高速・低消費電力SIへの適用可能性について大きな関心が向けられている。

【0003】 完全空乏型 (FD) デバイスでは、ゲート下に形成される空乏層がSOI下の埋め込み酸化膜 (BOX) まで到達するため、空乏層容量が小さくなり、サブスレッショルド係数 (SFC) がほぼ理想値まで小さくなるという利点がある。一方、微細ゲート長のFDデバイスを実現するためには、チャネル部の不純物濃度を高めることにより、ソース・ドレインからの空乏層の伸びを抑え、ショートチャネル効果を抑える必要がある。ただし、不純物濃度を高くすることにより、ゲート下の空乏層の広がりが狭くなるため、完全空乏型動作 (空乏層がBOXまで到達する) には、チャネル部の不純物濃度を薄くする必要がある。ゲート長が0.2 μm以下程度では、SOI膜厚は20 - 50 nmと非常に薄くしなければならない。このため、ソース・ドレイン部の抵抗が高くなり、トランジスタ特性はソース・ドレイン抵抗により劣化してしまう。

【0004】 ソース・ドレイン抵抗を下げる方法のひとつとして、ソース・ドレイン上にのみチタン (Ti) やコバルト (Co) のシリサイド層を選択的に形成するシリサイド技術が一般的に用いられている。しかしながら、SOI膜厚が50 nm程度より薄くなると、その形成が困難になることが知られている。シリサイドがBOXまで到達するようにシリサイドを形成した場合、傾斜が起りやすくなり、抵抗化したり、チャネル部とソース・ドレイン部が密着する可能性がある。SOI層を残してシリサイド化しようとした場合には、シリサイドの抵抗が十分に低くない、あるいは細線部でシリサイドが形成されないなどの問題が生じる。

【0005】 ソース・ドレイン抵抗を下げるもうひとつの方法として、ソース・ドレイン上にSiを選択エッチ成長させてソース・ドレイン部のシリコン膜厚を厚くする方法がある。

【0006】 上記の文獻には、ソース・ドレイン上にシリコンをエッチ成長したBulkシリコンのMOSFETの構造及び製造方法が示されている。図8はその説明のための図であり、断面図を以って概略的に示したPMOSFETの構造図である。

【0007】 図8は、PMOSFETをゲートと垂直方向に切断した断面図であり、シリコン基板121、フィールド酸化膜122、ゲート電極123、薄いSiNのサイドウォール124、厚いSiO₂のサイドウォール126、接続金のソース・ドレイン128、ソース・ドレイン127、ソース・ドレイン上に

【特許請求の範囲】

【請求項1】 SOI (Silicon on insulator) 基板上に形成されたMOSFETであって、前記MOSFETのソース及びドレイン上に(1.1.1) ファセット面を有する半導体層が、エビシタル成長されていることを特徴とするMOSFETの構造。

【請求項2】 請求項1記載のMOSFETの構造であって、前記半導体層がシリコン若しくはシリコンゲルマニウムであることを特徴とするMOSFETの構造。

【請求項3】 SOI基板上にMOSFETを製造する方法であって、前記基板上にゲート電極を形成する工程と、前記ゲート電極の側壁に絶縁物から成るサイドウォールを形成する工程と、選択エッチング成長法により前記MOSFETのソース及びドレイン上に(1.1.1) ファセット面を持つ半導体層を形成することを特徴とするMOSFETの製造方法。

【請求項4】 請求項3記載のMOSFETの製造方法であって、前記(1.1.1) ファセット面を持つ半導体層を形成した後、前記ゲート電極の側壁に、再度絶縁物のサイドウォールを形成し、SOI基板全面に高融点金属を堆積させて熱処理する工程を行うことを特徴とするMOSFETの製造方法。

【請求項5】 請求項3記載のMOSFETの製造方法であって、前記半導体層がシリコン、若しくはシリコンゲルマニウムであることを特徴とするMOSFETの製造方法。

【請求項6】 請求項3記載のMOSFETの製造方法であって、前記絶縁物がSiO₂若しくはSiNであることを特徴とするMOSFETの製造方法。

【請求項7】 SOI基板上に形成されたMOSFETであって、前記MOSFETのソース及びドレイン上に(1.1.1) ファセット面を有するエビシタル成長されたシリコン層が高融点金属とのシリサイドに改変されており、前記MOSFETのゲート電極の側壁の絶縁物から成るサイドウォールが前記(1.1.1) ファセット面を覆うように形成され、前記SOI基板の絶縁層まで達しないシリコン層が前記高融点金属とのシリサイドに改変されていることを特徴とするMOSFETの構造。

【請求項8】 請求項7記載のMOSFETの構造であって、前記絶縁物がSiO₂若しくはSiNであることを特徴とするMOSFETの構造。

【請求項9】 請求項7記載のMOSFETの構造であって、前記高融点金属とのシリサイドが、コバルトシリサイド (CoSi₂)、チタンシリサイド (TiSi₂)、白金シリサイド (PtSi₂) のいずれかであることを特徴とするMOSFETの構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、高速・低消費電力・高信頼性の微細ゲート長のSOI (Silicon on insulator) 電界効果トランジスタ (MOSFET) の構造及び製造方

【0030】図6は、SOI NMOSETの断面図であり、シリコン基板21、埋め込み酸化膜(BOX) 22、ボディ30、フイルド酸化膜24、ゲート電極25、薄いSiO₂のサイドウォール26、厚いSiO₂のサイドウォール28、ソース・ドレイン29、ソース・ドレイン上にエビ成長したシリコン27、ゲート電極25及びソース・ドレイン29上に形成されたシリサイド32、から構成されている。エビ成長したシリコン27は、(1, 1, 1) フェセット面を持っている。

【0031】この構造では、第1の実施例で作製された図3 (D) の構造の後に、シリサイドを(1, 1, 1) フェセット面の後に、ソース・ドレインの抵抗を下げるため、傾斜領域の長さエビ成長の70%程度と非常に短いので、厚いサイドウォールの膜厚制御は、ソース・ドレインインプラド導入した不純物が膜方向拡散してゲートエッジ付近にソース・ドレインとボディの接合がくる状態に調節すればよくなくなる。

【0032】次に、上記構造のSOI NMOSETの製造方法を簡単に記す。

【0033】第1の実施例の図3 (D) の構造になった後、コパル(Co)あるいはタンタル(Ti)をスパッタ法により、所望の膜厚形成する。その後、短時間熱処理(RTA)装置により、所望の温度での熱処理を行い、ゲート上及びソース・ドレイン上にシリサイドを形成する。表面に形成された、窒化物はアンモニア過水(NH₄OH/H₂O₂)等のシリサイドとの選択エッチング可能な溶液に浸すことにより、除去する。その後、再度RTA装置により熱処理を行い、シリサイドの低抵抗化を行う。

【0034】以上により、低ソース・ドレイン抵抗を持つSOI NMOSETが形成される。

【0035】

【発明の効果】この発明の第1の実施例によれば、SOI (Silicon on insulator) 電界効果トランジスタ(NMOSET)の構造及び製造方法によれば、(1, 1, 1) フェセット面をもつシリコンをソース・ドレインになるSOI層上にエビすることにより、ゲートとソース・ドレイン間のフリンジ容量の増加を抑え、かつ、エビ成長したシリコン膜がゲートに近い所から厚くなることにより、傾斜領域のソース・ドレインの抵抗を下げる事が可能になり、高駆動力のSOI NMOSETを実現することができるといふ効果が得られる。

【0036】従来の(3, 1, 1) フェセットを持つ構造と(1, 1, 1) フェセットを持つ構造のソース・ドレイン抵抗を比較する。図に、シリコンをエビ成長したソース・ドレイン部の構造の例として、(3, 1, 1) フェセットの場合と、(1, 1, 1) フェセットの場合を示した。SOIの初期膜厚を20 nm、ゲートとコンタクト間の距離を200 nm、エビ成長したシリコン膜厚を60 nmとし、ゲートエッジからコンタクトエッジまでの抵抗を求めた。

【0037】これから、コンタクトまでの間のソース・

ドレイン抵抗は(1, 1, 1) フェセットの方が、(3, 1, 1) フェセットよりも約20%抵抗が低くなる事がわかる。また、設計ルールにより短くなって、ゲート・コンタクト間の距離が短くなれば、その効果はさらに大きくなる。

【0038】また、この発明の第2の実施例によれば、SOI (Silicon on insulator) 電界効果トランジスタ(NMOSET)の構造及び製造方法によれば、(1, 1, 1) フェセット面をもつシリコンゲルマ (SiGe) をエビ成長することにより、同一温度におけるシリコンのエビ成長速度の最上層の速度が得られるため、プロセス時間の短縮が実現できるという効果が得られる。シリコンのエビ成長速度は数分/分のため、例えば600 Å成長させるためには、数時間を要し、デバイス製造を行う上で実用的ではない。シリコンゲルマのエビ成長速度は約100 Å/分のため、例えば600 Å成長させるためには、6分と十分実用的な時間である。

【0039】更に、シリコンゲルマを使うことにより、コンタクト抵抗が下がるという効果も得られる。シリコンゲルマでは、同じ不純物濃度のシリコンに比べ、コンタクト抵抗率は2桁程度低くなる事が知られている。

【0040】また、当然、シリコンゲルマも(1, 1, 1) フェセット面を持つように形成しているため、第1の実施例と同様な効果も得られる。

【0041】更に、この発明の第3の実施例によれば、SOI (Silicon on insulator) 電界効果トランジスタ(NMOSET)の構造及び製造方法によれば、(1, 1, 1) フェセット面をもつシリコンをソース・ドレイン上にエビした後、厚いサイドウォールを形成し、その後シリサイドを行ってソース・ドレインの抵抗を下げることににより、(3, 1, 1) フェセット面の場合よりもソース・ドレインの抵抗を大きく下げることが可能になり、高駆動力のSOI NMOSETの実現することができるといふ効果が得られる。

【0042】従来の(3, 1, 1) フェセットを持つ構造と(1, 1, 1) フェセットを持つ構造でシリサイドを行った場合のソース・ドレイン抵抗を比較する。図に、60 nmのシリコンをエビし、その後Coシリサイドを行った場合の断面図を、(3, 1, 1) フェセットの場合と、(1, 1, 1) フェセットの場合を示した。SOIの初期膜厚を20 nm、SiO₂の厚いサイドウォールの膜厚をそれぞれ20 nm、80 nmとした。サイドウォール膜厚は、(3, 1, 1) フェセットでは、シリサイドに必要なシリコンの膜厚以下の領域を覆うように、(1, 1, 1) フェセットでは、ソース・ドレインとゲートのオフセットが無くするように決めている。

【0043】ゲートエッジからコンタクトエッジまでの抵抗を第1の実施例の効果の中で求めたが、Coシリサイドがある場合はCoシリサイドの抵抗が非常に小さいため、ゲートエッジからCoシリサイドまでの抵抗を簡略化

して求めた。

【0044】これから、コンタクトまでの間のソース・ドレイン抵抗は(1, 1, 1) フェセットの方が、(3, 1, 1) フェセットよりも約60%と非常に抵抗が低くなる。また、図におけるシリサイド無しの場合よりも約60%と非常に抵抗が低くなる事がわかる。しかし、シリサイドを行わない場合の抵抗計算は、ゲートからある距離離れた位置にコンタクトが接続して存在している場合を想定しているため、実際に更に抵抗は減少する。

【0045】加えて、(1, 1, 1) フェセット面をもつシリコンをソース・ドレイン上にエビしたことにより、傾斜領域の長さはエビ膜厚の70%程度と非常に短いので、厚いサイドウォールの膜厚はソース・ドレインとゲートのオフセットがなくなる条件でのみ決定すれば良くなるといふ効果も得られる。(3, 1, 1) フェセット面をもつ場合、サイドウォール膜厚はシリサイドのために必要なシリコン膜厚となるまでのゲートからの距離で決定されるため、不必要にサイドウォール膜厚が厚くなったり、それを防ぐためにはシリサイド条件に対する制限が厳しくなったり、ソース・ドレインとゲートのオフセット量が増えたり、ソース・ドレインとゲートのオフセットと理由が難しくなるという問題があったが、シリサイドと組み合わせることで生じるそれらすべて問題がなくなる。

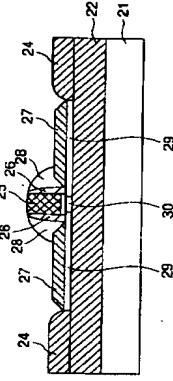
【0046】

【利用の形態】第1から第3の実施例では、NMOSETについてのみ説明を行ったが、本発明のN型とP型を兼ねることにより、当然NMOSETはこの方法は適用可能である。又、本発明は、通常のBulkシリコン基板上に作製されたNMOSETにも適用可能である。

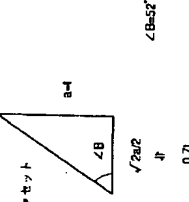
【図面の簡単な説明】

【図1】第1の実施例によるSOI上に形成されたNMOSETの断面図である。

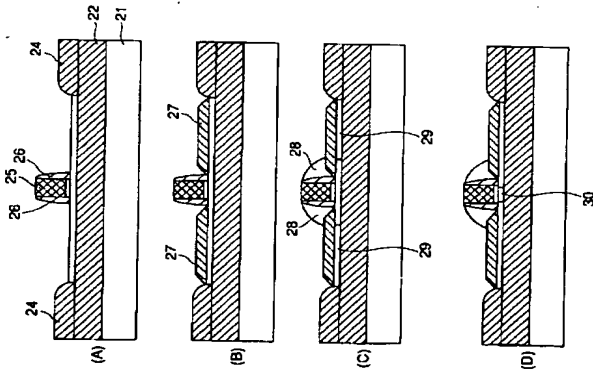
【図1】



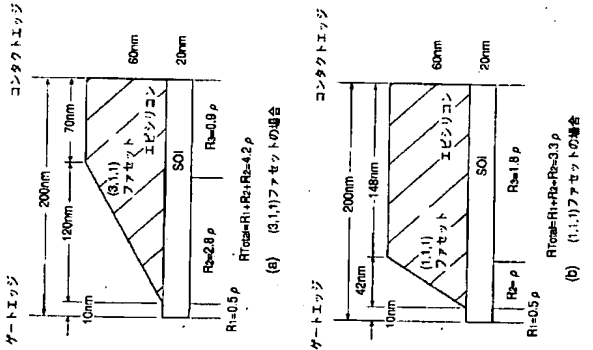
【図2】



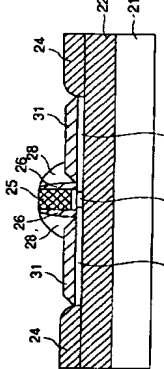
【図3】



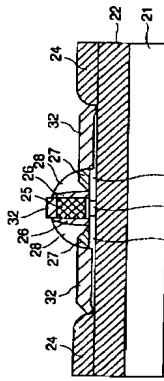
【図4】



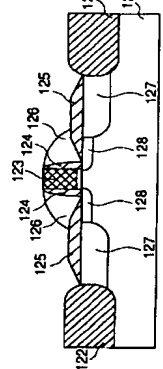
【図5】



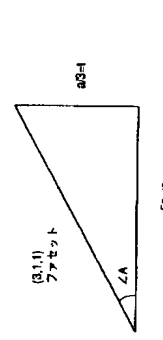
【図6】



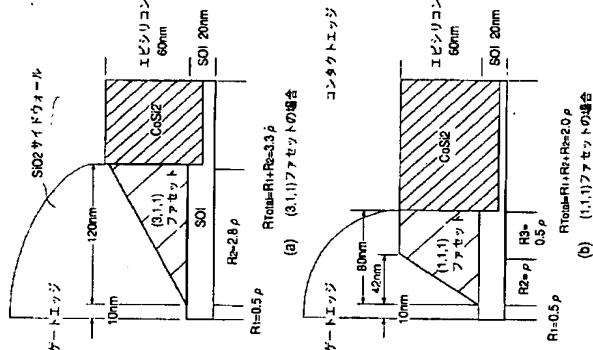
【図8】



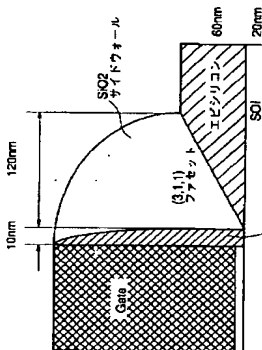
【図9】



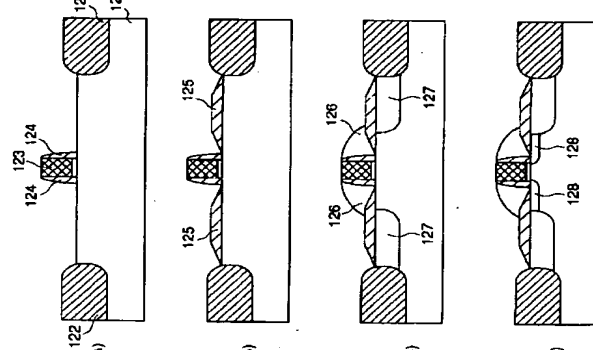
【図7】



【図11】



【図10】



フロントページの続き

(51) Int. Cl. 7
H01L 21/336

F1
H01L 29/78

マイクロト (参考)

301Q
616T
616L
616V

Fグループ(参考) -NI104 AA01 AA09 BR20 BR25 CC01
DD02 DD13 DD80 DD81 EE09
EE17 GG09
SF040 DA05 DA10 DA11 DA13 DC01
DC10 EH12 EC01 EC13 FF09
EH02 EH04 FA03 FA05 FA10
FC09 FC06 FC19
SF110 AA02 AA09 AA30 CC02 DD05
DD13 EE05 EE09 EE14 EE32
EE44 EF48 GG02 GG12 HJ01
HJ13 HJ23 HK05 HK08 HK09
HK21 HK25 HK33 HK34 HK39
HK40 HK02 NK62 QQ11